

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
6 décembre 2001 (06.12.2001)

PCT

(10) Numéro de publication internationale
WO 01/93310 A2

(51) Classification internationale des brevets⁷ :

H01L

(71) Déposant (pour tous les États désignés sauf US) : COM-
MISSARIAT A L'ENERGIE ATOMIQUE [FR/FR];
31/33, rue de la Fédération, F-75752 Paris 15ème (FR).

(21) Numéro de la demande internationale :

PCT/FR01/01603

(72) Inventeurs; et

(22) Date de dépôt international : 23 mai 2001 (23.05.2001)

(75) Inventeurs/Déposants (pour US seulement) : BAP-
TIST, Robert [FR/FR]; Les Chaberts, F-38560 Jarrie
(FR). LETERTRE, Fabrice [FR/FR]; 33 quai Jongkind,
F-38000 Grenoble (FR).

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(74) Mandataire : LEHU, Jean; Brevatome, 3, rue du Docteur
Lancereaux, F-75008 PARIS (FR).

(30) Données relatives à la priorité :

00/06761

26 mai 2000 (26.05.2000)

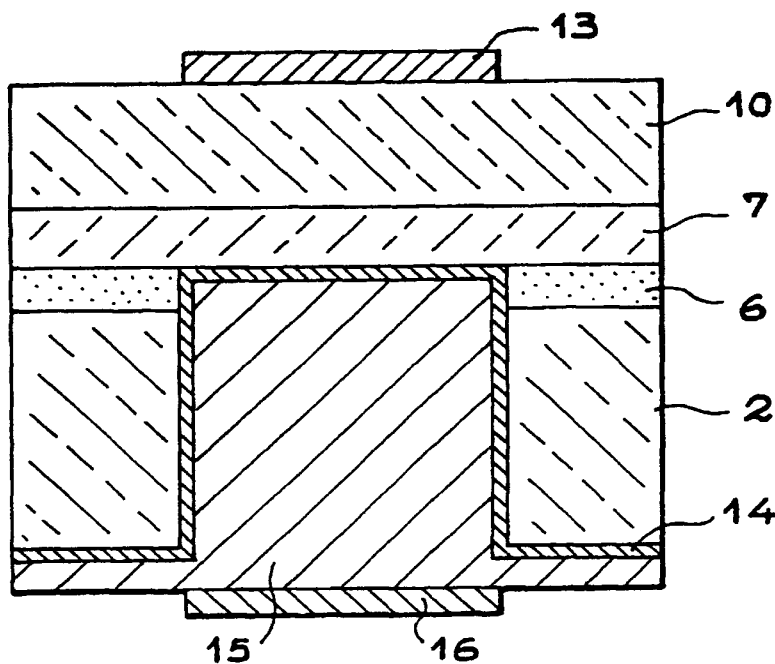
FR

(81) État désigné (national) : US.

[Suite sur la page suivante]

(54) Title: SEMICONDUCTOR DEVICE WITH VERTICAL ELECTRONIC INJECTION AND METHOD FOR MAKING
SAME

(54) Titre : DISPOSITIF SEMICONDUCTEUR A INJECTION ELECTRONIQUE VERTICALE ET SON PROCEDE DE FA-
BRICATION



(57) Abstract: The invention concerns a semiconductor device with vertical electronic injection comprising a support substrate (2), a structure including at least a thin monocrystalline film (7) transferred onto the support substrate and integral with the support substrate, at least an electronic component, the support substrate (2) comprising at least a recess for electrical or electronic access to the electronic component through the thin monocrystalline film, the device further comprising means (13, 14) for vertical electronic injection into the electronic component.

(57) Abrégé : La présente invention concerne un dispositif semiconduc-
teur à injection électronique verticale comprenant un substrat support (2),
une structure comportant au moins une couche mince monocristalline
(7) reportée sur le substrat support et solidaire du substrat support, au
moins un composant électronique, le substrat support (2) comportant

au moins un évidement permettant un accès électrique ou électronique au composant électronique au travers de la couche mince
monocristalline, le dispositif comprenant également des moyens (13, 14) permettant une injection électronique verticale dans le
composant électronique.

WO 01/93310 A2



(84) États désignés (régional) : brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

Publiée :

— *sans rapport de recherche internationale, sera republiée dès réception de ce rapport*

**DISPOSITIF SEMICONDUCTEUR A INJECTION ELECTRONIQUE
VERTICALE ET SON PROCEDE DE FABRICATION**

Domaine technique

5

La présente invention concerne un dispositif semiconducteur à injection électronique verticale. Elle concerne également un procédé de fabrication d'un tel dispositif.

10

Le dispositif semiconducteur à injection électronique verticale est réalisé dans une couche active en matériau semiconducteur à petit gap ou à grand gap. Cependant, l'invention s'avère particulièrement intéressante dans le cas d'une couche

15

Etat de la technique antérieure

Les semiconducteurs sont caractérisés par leur bande interdite ou gap qui sépare les derniers états occupés de la bande de valence et les états libres suivants dans la bande de conduction. Parmi les semiconducteurs, on distingue les semiconducteurs à petit gap, comme le silicium et le germanium, et les

25

semiconducteurs à grand gap comme par exemple GaN et SiC.

30

L'obtention de substrats massifs en semiconducteur à grand gap s'avère très difficile voire impossible actuellement. Dans le cas du GaN par exemple, il n'existe pas de substrat massif de qualité électronique en dépit des recherches intenses effectuées dans ce domaine. Il existe par contre du GaN hétéro-épitaxié sur substrat massif en saphir ou en SiC. Cette technique a été développée pour la

réalisation de composants optoélectroniques de type diode bleue.

Cependant, l'épitaxie de GaN sur le saphir est rendue particulièrement délicate par le désaccord de maille qui existe entre le GaN et le saphir (de l'ordre de 16%). L'obtention de couches cristallines de qualité suffisante pour la réalisation de dispositifs optoélectroniques nécessite donc la mise au point de procédés d'épitaxie sophistiqués. L'utilisation du substrat de saphir s'explique essentiellement par sa compatibilité structurale et chimique avec le GaN, son faible coût et sa disponibilité sous forme de substrat de grand diamètre. Le caractère électrique isolant du saphir nécessite la réalisation, dans le GaN épitaxié, de composants horizontaux avec des électrodes situées en face avant.

L'autre voie utilisée pour la commercialisation de composants et celle de GaN sur substrat SiC massif. Les substrats SiC restent rares et très chers. C'est la voie développée et exploitée commercialement par la société Cree Research Inc. profitant de l'avantage qu'elle possède de commercialiser la plus grande partie des substrats SiC. L'intérêt du SiC massif pour l'épitaxie et la réalisation de dispositifs à base de GaN est évident. Tout d'abord, le faible désaccord de maille (3,5%) entre SiC et GaN permet de simplifier les procédés d'épitaxie tout en réalisant des couches de meilleure qualité cristalline. De plus, l'utilisation d'un substrat de SiC conducteur permet de réaliser un composant à passage de courant vertical (c'est-à-dire avec une électrode sur chaque face). Cette structure permet de réaliser des composants de taille inférieure à ceux réalisés sur substrat isolant, ce qui est intéressant d'un point de vue économique. Par ailleurs,

l'utilisation du SiC, qui possède une forte conductibilité thermique, permet de réguler ou de diminuer la température du composant lors de son fonctionnement. Ceci est un point important pour les performances, la durée de vie et la fiabilité des composants.

D'autres voies sont également étudiées mais leur maturité actuelle les cantonnent aux laboratoires. La démarche générale consiste à utiliser un substrat de silicium massif afin de tirer parti du faible coût et de la grande taille de ces substrats. On peut ainsi obtenir du GaN sur du SiC recouvrant du silicium. Ces techniques, développées en laboratoire, reposent sur l'utilisation d'une couche de SiC cubique épitaxiée soit sur un substrat SOI, soit directement sur un substrat de silicium massif. Cette couche de SiC doit permettre de faciliter l'épitaxie en diminuant la différence de paramètre de maille entre GaN et le silicium, c'est-à-dire de se retrouver dans une configuration d'épitaxie GaN sur SiC. En plus de la difficulté présentée par la réalisation de l'épitaxie de GaN, la première épitaxie de SiC présente des difficultés techniques importantes. Cependant, la croissance de GaN sur une telle structure revêt un intérêt particulier car elle permettrait d'obtenir du GaN en structure cubique (le saphir procure une structure hexagonale) qui, par ses propriétés, est intéressant pour des applications optoélectroniques. Pour l'instant cette voie reste au stade de la recherche.

Enfin, une voie plus récente concerne l'épitaxie directe de GaN sur du silicium, sans couche tampon en SiC. On utilise pour cela du silicium (111). Cette approche, dans son principe équivalente à celle adoptée pour l'épitaxie sur saphir, souffre

actuellement d'un retard important par rapport aux autres techniques. Cependant, la bonne maîtrise du matériau silicium permet d'envisager l'utilisation de substrats supports d'épitaxie conducteurs ou isolants électriques, ce qui laisse une certaine liberté quant au mode de fonctionnement du dispositif épitaxié (vertical ou horizontal).

Les composants optoélectroniques réalisés sur les matériaux cités ci-dessus ont donc soit une structure latérale (avec deux électrodes situées sur la face avant du substrat), soit une structure verticale avec une électrode sur la couche active (en GaN notamment) et une autre électrode sur la face arrière du substrat massif (par exemple en SiC). Selon la structure adoptée ou imposée par la nature du substrat, la taille de la puce est nécessairement variable. D'un point de vue strictement économique, la réalisation d'une puce à fonctionnement vertical est nettement avantageuse car ceci permet de réaliser des dispositifs plus compacts.

De plus, la nature du substrat d'épitaxie choisi influe sur les performances du dispositif via le problème de la dissipation thermique en fonctionnement. De ce point de vue, le SiC massif présente un avantage considérable. Les limitations, mises en évidence pour les dispositifs réalisés sur du GaN supporté par du saphir, font actuellement l'objet de recherches. Deux voies apparaissent dans les publications afin de résoudre ce problème dans le cas du saphir. Chacune repose sur l'élimination du substrat de saphir après la réalisation des couches épitaxiales actives.

La première de ces voies repose sur l'élimination du substrat en saphir et la réalisation d'une épitaxie épaisse de GaN (supérieure à 100 μm) en

face arrière afin d'obtenir une membrane rigide
autoportée. Cela revient à réaliser un substrat de GaN.
Cette démarche permet de réaliser un dispositif à
fonctionnement vertical et de mieux dissiper la chaleur
5 générée.

La seconde de ces voies repose sur
l'élimination du substrat de saphir et le collage de la
couche active sur une semelle électriquement et
thermiquement conductrice (collage sur un substrat en
10 cuivre par exemple). On pourrait ainsi obtenir un
dispositif à fonctionnement vertical et permettant de
dissiper la chaleur produite.

On observe ainsi que la filière SiC
représente une voie d'avenir très appropriée pour le
15 développement des filières optoélectroniques à base de
GaN. La tendance pour les techniques de croissance
autres que sur SiC est de réaliser des dispositifs à
passage de courant vertical et d'éliminer au mieux la
chaleur générée lors du fonctionnement du dispositif
20 quel que soit le support d'épitaxie. Dans le cas des
épitaxies sur saphir, ce substrat ne tient plus que le
rôle de support épitaxial et ne limite plus le
fonctionnement des dispositifs car il peut être
éliminé.

25

Exposé de l'invention

La présente invention propose un nouveau
dispositif pouvant être moins coûteux que les solutions
30 de l'art antérieur pour obtenir un dispositif
semiconducteur à injection électronique verticale.

Un premier objet de l'invention consiste en
un dispositif semiconducteur à injection électronique
verticale comprenant un substrat support, une structure
35 comportant au moins une couche mince monocristalline

reportée sur le substrat support et solidaire du substrat support, au moins un composant électronique, le substrat support comportant au moins un évidement permettant un accès électrique ou électronique au composant électronique au travers de la couche mince monocristalline, le dispositif comprenant également des moyens permettant une injection électronique verticale dans le composant électronique.

La structure peut comporter au moins une couche active formée par croissance cristalline de matériau semiconducteur sur la couche mince monocristalline, le composant électronique étant réalisé dans ladite couche active. La couche active épitaxiée est homogène ou hétérogène en fonction des applications. La couche mince monocristalline peut être une couche active à partir de laquelle le composant électronique est réalisé.

Eventuellement, le dispositif peut comprendre en outre une couche, dite couche de collage, située entre le substrat support et la structure et permettant la solidarisation de la couche mince monocristalline sur le support, la couche de collage permettant un accès électrique ou électronique au composant électronique. Cette couche de collage peut être en SiO_2 .

Eventuellement, la couche de collage est isolante et comporte au moins un évidement permettant l'accès électrique ou électronique au composant électronique. La couche de collage peut aussi être conductrice ou semiconductrice.

La couche mince monocristalline peut comporter au moins un évidement permettant un accès électrique ou électronique direct au composant électronique.

Avantageusement, le substrat support peut être en silicium, en SiC, en AlN, en saphir ou en GaN, la couche mince monocristalline peut être en SiC, en silicium, en GaN, en saphir ou en ZnO, la couche active
5 peut comprendre un matériau semiconducteur choisi parmi SiC, GaN, les composés III-V et leurs dérivés et le diamant.

Le composant électronique peut comprendre au moins une jonction réalisée à partir de deux
10 semiconducteurs de même nature ou de natures différentes. Il peut comprendre au moins une jonction de type métal-semiconducteur. Il peut encore comprendre au moins un empilement de type métal-oxyde-semiconducteur.

15 Selon une variante de réalisation, les moyens permettant une injection électronique verticale dans le composant électronique comprennent une électrode disposée sur le composant électronique et une électrode disposée sous le composant électronique, dans
20 ledit évidemment permettant un accès au composant électronique. Dans ce cas, une masse peut être prévue dans ledit évidemment, en contact avec ladite électrode disposée sous le composant afin de constituer un puits thermique.

25 Selon une autre variante de réalisation, l'injection électronique se faisant au moyen d'un faisceau d'électrons dirigé sur le composant électronique en passant dans ledit évidemment, les moyens permettant une injection électronique verticale
30 comprennent un revêtement conducteur de guidage des électrons vers le composant électronique.

Selon encore une autre variante de réalisation, l'évidement du substrat support comprend des alvéoles permettant un accès électrique ou

électronique à des composants électroniques réalisés à partir de la structure.

Le composant électronique peut être choisi dans le groupe constitué des émetteurs de lumière, des détecteurs de lumière, des composants électroniques de puissance et des diodes.

La structure peut être choisie pour être étanche au vide. Dans ce cas, si le composant électronique est un composant apte à émettre un faisceau lumineux en réponse à un faisceau d'électrons reçu, la couche mince monocristalline peut être telle qu'elle permet le passage dudit faisceau d'électrons. La structure peut former une membrane déformable sous l'effet d'une différence de pression, ledit composant électronique étant un composant fournissant un signal représentatif de la déformation subie par la membrane.

Un deuxième objet de l'invention consiste en un procédé de fabrication d'un tel dispositif semiconducteur à injection électronique verticale, caractérisé en ce qu'il comprend les étapes suivantes :

- report de la couche mince monocristalline sur une première face du substrat support,
- réalisation d'au moins un composant électronique à partir de la structure ,
- formation d'au moins un évidemment à partir d'une deuxième face du substrat pour permettre un accès électrique ou électronique au composant électronique au travers de la couche mince monocristalline,
- réalisation de moyens permettant une injection électronique verticale dans le composant électronique.

Le procédé peut comprendre en outre une étape de formation d'au moins une couche active par croissance cristalline de matériau semiconducteur sur

la couche mince monocristalline, le composant électronique étant réalisé dans ladite couche active, la croissance cristalline étant réalisée avant ou après report. Si la couche mince est une couche active, le
5 composant électronique peut être réalisé à partir de cette couche mince monocristalline.

Le composant électronique peut éventuellement être réalisé en partie avant le transfert, notamment lorsque la couche active est
10 réalisée avant le transfert.

Selon un mode de réalisation particulièrement avantageux, l'étape de report de la couche mince monocristalline comprend les opérations suivantes :

15 - délimitation de ladite couche mince monocristalline dans un substrat de matériau monocristallin par introduction d'espèces gazeuses dans ce substrat de matériau monocristallin afin de créer une zone de fracture, la couche mince monocristalline
20 se trouvant entre une face du substrat de matériau monocristallin et la zone de clivage,

- solidarisation de ladite couche mince monocristalline sur la première face du substrat support,

25 - séparation par fracture de la couche mince monocristalline du reste du substrat de matériau monocristallin, la séparation étant réalisée avant ou après l'opération de solidarisation obtenue par exemple par adhésion moléculaire.

30 De préférence, le report de ladite couche mince monocristalline se fait par l'intermédiaire d'une couche de collage. Cette couche de collage peut être en SiO_2 .

Selon une variante de mise en œuvre, la
35 réalisation des moyens permettant une injection

électronique verticale dans le composant électronique comprend le dépôt d'une électrode sur le composant électronique et le dépôt d'une électrode sous le composant électronique, dans ledit évidement permettant un accès au composant électronique. Le procédé peut alors comprendre le dépôt d'une masse dans ledit évidement, en contact avec ladite électrode disposée sous le composant afin de constituer un puits thermique.

10 Selon une autre variante de mise en œuvre, le procédé comprend le dépôt d'un revêtement conducteur apte à guider un faisceau d'électrons dirigé sur le composant électronique en passant dans ledit évidement.

15 Selon encore une autre variante de mise en œuvre, le procédé comprend également la formation d'alvéoles prolongeant l'évidement du substrat support pour permettre un accès électrique ou électronique à des composants électroniques réalisés à partir de la structure.

20

Brève description des dessins

L'invention sera mieux comprise et d'autres avantages et particularités apparaîtront à la lecture de la description qui va suivre, donnée à titre d'exemple non limitatif, accompagnée des dessins annexés parmi lesquels :

25 - les figures 1A à 1E illustrent les principales étapes d'un procédé de fabrication d'un dispositif semiconducteur à injection électronique verticale selon l'invention,

30 - la figure 2 montre, en coupe transversale, un autre dispositif semiconducteur à injection électronique verticale selon l'invention,

11.

- la figure 3 montre le dispositif de la figure 2 installé sur un équipement pourvu d'une cathode à micropointes,

5 - la figure 4 montre, en coupe transversale, un autre dispositif semiconducteur à injection électronique verticale et à structure alvéolée, selon l'invention.

10 Description détaillée de modes de réalisation de l'invention

La fabrication d'un dispositif semiconducteur à injection électronique verticale selon l'invention comprend le report d'une couche mince monocristalline de très bonne qualité cristalline (semiconductrice ou non, isolante ou électriquement conductrice) sur la face avant d'un substrat semiconducteur ou non. Ce transfert peut s'effectuer par l'intermédiaire d'une couche mince isolante, 20 métallique ou semiconductrice. La ou les couches actives désirées sont obtenues par croissance cristalline avant ou après report. Un ou plusieurs composants électroniques y sont réalisés. La face arrière du substrat est usinée ou micro-usinée 25 localement afin de créer une membrane. La couche mince monocristalline peut éventuellement être amincie.

Selon une variante de réalisation, la couche active et la couche mince monocristalline forment une seule et même couche.

30 Le ou les composants électroniques peuvent être fabriqués avant ou après la formation de la membrane. Il est cependant préférable de fabriquer les composants électroniques avant de former la membrane afin de relâcher les contraintes mécaniques dans le 35 dispositif en cours de fabrication.

Le report de la couche mince monocristalline peut avantageusement se faire par le procédé connu sous le nom de Smartcut® et divulgué notamment par le document FR-A-2 681 472 (correspondant
5 au brevet américain N° 5 374 564). Les figures 1A et 1B illustrent ce procédé de transfert.

La figure 1A montre la fixation d'un premier substrat 1 en SiC sur un deuxième substrat 2 en silicium selon une interface de collage. Le substrat 1
10 possède une couche 3 de SiO₂ sur sa face de liaison avec le substrat 2. Une implantation ionique réalisée au travers de cette face a permis de créer une couche de microcavités 5 séparant le substrat 1 en une couche mince 7 et une partie restante 9 du substrat. Dans cet
15 exemple, le substrat 2 possède également une couche 4 de SiO₂ sur sa face de liaison avec le substrat 1. Cependant, les deux faces en regard peuvent être de natures différentes à condition que le collage soit possible.

20 La liaison entre les deux substrats s'obtient avantageusement par adhésion moléculaire. Une fois la liaison réalisée, on procède à la fracture du substrat 1 le long de la zone de microcavités 5. Cette fracture peut être obtenue au moyen d'un traitement
25 thermique et/ou par application de contraintes mécaniques. La fracture fournit la structure représentée à la figure 1B et constituée d'un substrat support 2 en silicium supportant d'abord une couche 6 de SiO₂ (formée par la combinaison des couches 3 et 4),
30 puis une couche 7 de SiC. On aurait pu également transférer la couche 7 de son substrat initial 9 vers le substrat support 2 via au moins un substrat intermédiaire.

Une fine couche 10 de GaN est alors
35 épitaxiée sur la couche 7 de SiC dont la face libre a

été préparée à cet effet. C'est ce que montre la figure 1C. La couche 10 de GaN constitue la couche active dans laquelle un composant électronique peut être réalisé.

Comme indiqué précédemment, la couche 10
5 aurait pu être réalisée avant report. Dans ce cas, le report de la structure formée par la couche 7 et la couche 10 doit se faire soit par un support intermédiaire, soit directement, la couche 7 devant pour certaines applications être éliminée.

10 Afin d'obtenir un accès électrique ou électronique au composant réalisé dans la couche 10, un évidement est pratiqué à partir de la face arrière du substrat 2. La figure 1D montre que l'évidement 11
15 réalisé dans le substrat 2 est poursuivi dans la couche 6 de SiO₂ jusqu'à révéler la couche 7 de SiC. Cette couche 7 pourrait éventuellement être aussi évidée.

Compte tenu des différentes applications
visées par l'invention, au moins deux cas d'excitation
électronique peuvent être distingués. Le premier cas
20 concerne une excitation électronique par passage vertical du courant dans le composant réalisé dans la couche active grâce à deux électrodes, l'une de ces électrodes étant déposée sur le composant et l'autre
étant déposée sous le composant. Le deuxième cas
25 concerne une excitation électronique par passage vertical du courant dans le composant suite à une injection électronique par bombardement d'électrons en face arrière du dispositif.

Le premier cas nécessite la présence
30 d'électrodes sur et sous le dispositif comme le montre la figure 1E. Une électrode 13 a été formée sur la face avant du composant électronique réalisé dans la couche 10. Un matériau conducteur 14 est déposée sur la face
arrière du dispositif. Il recouvre la face arrière
35 évidée du substrat 2 ainsi que la face apparente de la

couche 7 de SiC. La liaison électrique avec le composant s'obtient au travers de la couche 7 de SiC qui est électriquement conductrice. Eventuellement, l'évidement est comblé par matériau conducteur formant
5 avantageusement un puits thermique 15 permettant l'évacuation de la chaleur produite par le dispositif lors de son fonctionnement. Une électrode 16 est déposée sur le puits thermique 15 pour permettre la connexion d'un fil de liaison électrique. En l'absence
10 du matériau 15, la deuxième électrode est formée par le matériau conducteur 14.

La figure 2 montre, en coupe transversale, un dispositif 20 selon l'invention et à excitation électronique par passage vertical du courant au travers
15 du dispositif, le courant étant dû à un bombardement d'électrons dirigé vers la face arrière du dispositif.

Le dispositif 20 est réalisé comme précédemment à partir d'une structure empilée comprenant un substrat 21 de silicium, une couche 22 de
20 SiO₂ et une couche mince 23 de SiC. Un évidement 24 est pratiqué à partir de la face arrière du substrat 21 jusqu'à révéler la couche mince 23 de SiC. Une couche de GaN a été épitaxiée à partir de la couche 23 de SiC et un composant électronique 25 a été réalisé à partir
25 de la couche de GaN. Dans l'exemple représenté, le composant 25 est une source laser. Il est équipé sur deux de ses flancs opposés de miroirs 26 et 27 permettant l'amplification optique. La réalisation de tels miroirs est connue de l'homme de l'art.

30 Dans cet exemple de réalisation, l'évidement est de forme tronconique à sections circulaires ou polygonales. Afin de guider vers le composant 25 un faisceau d'électrons 30 abordant la face arrière du dispositif, une couche conductrice 28
35 est déposée sur la face arrière du dispositif. Cette

couche conductrice 28 fera office d'anode vis-à-vis du faisceau d'électrons et doit permettre leur passage. Éventuellement, une couche conductrice 28' peut être déposée sur le composant 25 et reliée électriquement à la couche conductrice 28 afin de définir un potentiel et de collecter plus efficacement les électrons injectés vers la face arrière du dispositif. En réponse à l'excitation par le faisceau d'électrons 30, le composant 25 émettra un faisceau laser 31.

La figure 3 montre, à titre d'exemple d'application, le dispositif 20 représenté à la figure 2 installé sur un équipement 40 pourvu d'une cathode à micropointes. L'équipement 40 comprend une enceinte tubulaire 41 dont une extrémité 42 est pourvue d'un queusot 43 par lequel le vide est réalisé dans l'enceinte 41. Le queusot 43 peut contenir un getter 44. L'autre extrémité 45 de l'enceinte 41 comporte une ouverture qui est obturée par le dispositif 20, l'évidement 24 du dispositif 20 (voir la figure 2) étant tourné vers l'intérieur de l'enceinte 41.

L'équipement 40 comprend, à l'intérieur de l'enceinte 41, une cathode à micropointes 46 alimentée en tension de façon appropriée par rapport à la masse. La couche conductrice 28 du dispositif 20 est également reliée à la masse. En utilisation, la cathode à micropointes 46 émettra un faisceau d'électrons 30 vers le dispositif 20.

A titre d'exemple, les micropointes peuvent être portées à -10 kV, la grille d'extraction de la cathode à environ 50 ou 100 V au-dessus de ce potentiel, c'est-à-dire à - 9950 ou - 9900 V. La couche conductrice 28 de la face arrière du dispositif 20 assure que le potentiel est bien défini et donc que les électrons vont bien s'engouffrer dans l'évidement du

dispositif, traverser la couche mince en SiC et pénétrer dans le composant 25.

La couche mince 23 du dispositif 20 pourvue de la couche conductrice 28 et du composant 25 joue le rôle d'une membrane étanche au vide dans cette application. Elle est perméable aux électrons et sert de substrat d'épitaxie. Le dispositif présente les avantages de la compacité et de l'intégration du dispositif dans un équipement.

La figure 4 montre, en coupe transversale, un autre dispositif semiconducteur à injection électronique vertical et à structure alvéolée, selon l'invention.

Le dispositif de la figure 4 comprend, en superposition, un substrat 51 en silicium, une couche 52 de SiO₂ et une couche mince 53 de SiC. Une couche de GaN a été épitaxiée à partir de la couche de SiC et deux composants électroniques 54 et 55 (ici des sources lasers) ont été réalisés à partir de la couche de GaN.

Un évidement 56 a été réalisé à partir de la face arrière du substrat 51. Cet évidement est prolongé par deux alvéoles 57 et 58 révélant les parties de la couche mince 53 de SiC situées sous les composants 54 et 55. Il subsiste, entre les alvéoles 57 et 58 une partie 59 de la structure initiale servant de renfort. Ce renfort permet de rigidifier mécaniquement la membrane constituée par la partie libérée de la couche mince 53. On évite ainsi les risques d'éclatement de la membrane lors de la mise sous vide dans un équipement tel que celui de la figure 3. A noter que la section des alvéoles peut être hexagonale comme dans un nid d'abeilles.

L'invention procure notamment les avantages suivants. Elle rend possible la fabrication d'un dispositif semiconducteur en particulier à grand gap,

électronique ou optoélectronique, sur un substrat de faible coût, par exemple en silicium, dont les techniques de report de couches, de gravure profonde et de métallisation sont bien maîtrisées. Elle permet
5 l'intégration d'un dispositif électronique sur une membrane monocristalline. Elle permet la création d'une membrane étanche au vide, perméable à un faisceau d'électrons focalisé sur la face arrière de la membrane dont la face avant supporte un ou plusieurs composants
10 électroniques. Elle permet la réalisation de dispositifs semiconducteurs verticaux sur un substrat non nécessairement conducteur électrique dans tout son volume. Le substrat peut éventuellement posséder un puits thermique intégré. La fabrication de composants
15 en structure verticale permet une réduction de la taille des composants. L'invention permet la fabrication de dispositifs semiconducteurs verticaux de faible résistance électrique du fait du remplacement du substrat massif par une couche mince semiconductrice.
20 Elle rend possible l'intégration d'un laser sur une torche micro-usinée par l'intermédiaire d'une membrane qui assure un triple rôle : étanchéité, perméabilité aux électrons, substrat d'épitaxie pour le GaN.

REVENDICATIONS

1. Dispositif semiconducteur à injection électronique verticale comprenant un substrat support (2,21,51), une structure comportant au moins une couche mince monocristalline (7,23,53) reportée sur le substrat support et solidaire du substrat support, au moins un composant électronique (25,54,55), le substrat support comportant au moins un évidement (11,24,56) permettant un accès électrique ou électronique au composant électronique au travers de la couche mince monocristalline, le dispositif comprenant également des moyens permettant une injection électronique verticale dans le composant électronique.

2. Dispositif selon la revendication 1, caractérisé en ce que la structure comporte au moins une couche active (10) formée par croissance cristalline de matériau semiconducteur sur la couche mince monocristalline (7,23,53), le composant électronique (25,54,55) étant réalisé dans ladite couche active (10).

3. Dispositif selon la revendication 1, caractérisé en ce que la couche mince monocristalline est une couche active à partir de laquelle le composant électronique est réalisé.

4. Dispositif selon l'une quelconque des revendications 1 à 3, caractérisé en ce qu'il comprend en outre une couche (6,22,52), dite couche de collage, située entre le substrat support (2,21,51) et la structure et permettant la solidarisation de la couche mince monocristalline sur le support, la couche de collage permettant un accès électrique ou électronique au composant électronique.

5. Dispositif selon la revendication 4, caractérisé en ce que la couche de collage (22) est

isolante et comporte au moins un évidement permettant l'accès électrique ou électronique au composant électronique (25).

6. Dispositif selon la revendication 4, caractérisé en ce que la couche de collage est conductrice ou semiconductrice.

7. Dispositif selon l'une quelconque des revendications 1 à 6, caractérisé en ce que la couche mince monocristalline comporte au moins un évidement permettant un accès électrique ou électronique direct au composant électronique.

8. Dispositif selon la revendication 1, caractérisé en ce que le substrat support (2,21,51) est en un matériau choisi parmi le silicium, le SiC, l'AlN, le saphir et le GaN.

9. Dispositif selon la revendication 1, caractérisé en ce que la couche mince monocristalline (7,23,53) est en un matériau choisi parmi le SiC, le silicium, le GaN, le saphir ou le ZnO.

10. Dispositif selon la revendication 5, caractérisé en ce que la couche de collage (6,22,52) est en SiO₂.

11. Dispositif selon la revendication 2, caractérisé en ce que la couche active (10) comprend un matériau semiconducteur choisi parmi SiC, GaN, les composés III-V et leurs dérivés et le diamant.

12. Dispositif selon l'une quelconque des revendications 1 à 11, caractérisé en ce que le composant électronique comprend au moins une jonction réalisée à partir de deux semiconducteurs de même nature ou de natures différentes.

13. Dispositif selon l'une quelconque des revendications 1 à 11, caractérisé en ce que le composant électronique comprend au moins une jonction de type métal-semiconducteur.

14. Dispositif selon l'une quelconque des revendications 1 à 11, caractérisé en ce que le composant électronique comprend au moins un empilement de type métal-oxyde-semiconducteur.

5 15. Dispositif selon l'une quelconque des revendications 1 à 14, caractérisé en ce que les moyens permettant une injection électronique verticale dans le composant électronique comprennent une électrode (13) disposée sur le composant électronique et une électrode
10 (14) disposée sous le composant électronique, dans ledit évidemment permettant un accès au composant électronique.

16. Dispositif selon la revendication 15, caractérisé en ce qu'une masse (15) est prévue dans
15 ledit évidemment, en contact avec ladite électrode (14) disposée sous le composant afin de constituer un puits thermique.

17. Dispositif selon l'une quelconque des revendications 1 à 14, caractérisé en ce que,
20 l'injection électronique se faisant au moyen d'un faisceau d'électrons (30) dirigé sur le composant électronique (25) en passant dans ledit évidemment (24), les moyens permettant une injection électronique verticale comprennent un revêtement conducteur (28) de
25 guidage des électrons vers le composant électronique (25).

18. Dispositif selon l'une quelconque des revendications 1 à 17, caractérisé en ce que
l'évidement (56) du substrat support (51) comprend des
30 alvéoles (57,58) permettant un accès électrique ou électronique à des composants électroniques (54,55) réalisés à partir de la structure.

19. Dispositif selon la revendication 1, caractérisé en ce que ledit composant électronique est
35 choisi dans le groupe constitué des émetteurs de

lumière, des détecteurs de lumière, des composants électroniques de puissance et des diodes.

20. Dispositif selon l'une quelconque des revendications 1 à 7, caractérisé en ce que la
5 structure est étanche au vide.

21. Dispositif selon la revendication 20, caractérisé en ce que le composant électronique (25) étant un composant apte à émettre un faisceau lumineux en réponse à un faisceau d'électrons (30) reçu, la
10 couche mince monocristalline (23) est telle qu'elle permet le passage dudit faisceau d'électrons.

22. Dispositif selon la revendication 20, caractérisé en ce que structure forme une membrane déformable sous l'effet d'une différence de pression,
15 ledit composant électronique étant un composant fournissant un signal représentatif de la déformation subie par la membrane.

23. Procédé de fabrication d'un dispositif semiconducteur à injection électronique verticale selon
20 la revendication 1, caractérisé en ce qu'il comprend les étapes suivantes :

- report de la couche mince monocristalline (7) sur une première face du substrat support (2),
- réalisation d'au moins un composant
25 électronique à partir de la structure,
- formation d'au moins un évidement (11) à partir d'une deuxième face du substrat (2) pour permettre un accès électrique ou électronique au composant électronique au travers de la couche mince
30 monocristalline (7),
- réalisation de moyens (13,14) permettant une injection électronique verticale dans le composant électronique.

24. Procédé selon la revendication 23,
35 caractérisé en ce qu'il comprend en outre une étape de

formation d'au moins une couche active (10) par croissance cristalline de matériau semiconducteur sur la couche mince monocristalline (7), le composant électronique étant réalisé dans ladite couche active, 5 la croissance cristalline étant réalisée avant ou après report.

25. Procédé selon la revendication 23, caractérisé en ce que, la couche mince monocristalline étant une couche active, le composant électronique est 10 réalisé à partir de cette couche mince monocristalline.

26. Procédé selon la revendication 23, caractérisé en ce que l'étape de report de la couche mince monocristalline (7) comprend les opérations 15 suivantes :

- délimitation de ladite couche mince monocristalline (7) dans un substrat de matériau monocristallin (1) par introduction d'espèces gazeuses dans ce substrat de matériau monocristallin afin de créer une zone de fracture (5), la couche mince 20 monocristalline (7) se trouvant entre une face du substrat de matériau monocristallin (1) et la zone de clivage (5),

- solidarisation de ladite couche mince monocristalline sur la première face du substrat support (2), 25

- séparation par fracture de la couche mince monocristalline (7) du reste (9) du substrat de matériau monocristallin (1), la séparation étant réalisée avant ou après l'opération de solidarisation.

27. Procédé selon l'une quelconque des revendications 23 à 26, caractérisé en ce que le report de ladite couche mince monocristalline se fait par 30 l'intermédiaire d'une couche de collage (6).

28. Procédé selon la revendication 26, caractérisé en ce que la solidarisation de ladite couche mince est obtenue par adhésion moléculaire.

5 29. Procédé selon l'une quelconque des revendications 23 à 28, caractérisé en ce que l'étape de report de la couche mince monocristalline (7) est réalisée sur une première face d'un substrat support en silicium (2).

10 30. Procédé selon l'une quelconque des revendications 23 à 28, caractérisé en ce que l'étape de report consiste à reporter une couche mince de SiC monocristallin (7).

15 31. Procédé selon la revendication 27, caractérisé en ce que le report de ladite couche mince monocristalline (7) se fait par l'intermédiaire d'une couche de collage (6) en SiO_2 .

20 32. Procédé selon la revendication 24, caractérisé en ce que la couche active (10) est formée par croissance cristalline d'une couche de matériau semiconducteur choisi parmi SiC, GaN, les composés III-V et leurs dérivés et le diamant.

25 33. Procédé selon l'une quelconque des revendications 23 à 32, caractérisé en ce que la réalisation des moyens permettant une injection électronique verticale dans le composant électronique comprend le dépôt d'une électrode (13) sur le composant électronique et le dépôt d'une électrode (14) sous le composant électronique, dans ledit évidement (11) permettant un accès au composant électronique.

30 34. Procédé selon la revendication 33, caractérisé en ce qu'il comprend le dépôt d'une masse (15) dans ledit évidement (11), en contact avec ladite électrode (14) disposée sous le composant afin de constituer un puits thermique.

35. Procédé selon l'une quelconque des revendications 23 à 32, caractérisé en ce qu'il comprend le dépôt d'un revêtement conducteur (28) apte à guider un faisceau d'électrons (30) dirigé sur le composant électronique (25) en passant dans ledit évitement (24).

36. Procédé selon l'une quelconque des revendications 23 à 32, caractérisé en ce qu'il comprend également la formation d'alvéoles (57,58) prolongeant l'évitement (56) du substrat support (51) pour permettre un accès électrique ou électronique à des composants électroniques (54,55) réalisés à partir de la structure.

37. Procédé selon l'une quelconque des revendications 23 à 32, caractérisé en ce que l'étape de réalisation d'au moins un composant électronique consiste à réaliser un composant choisi dans le groupe constitué des émetteurs de lumière, des détecteurs de lumière, des composants électroniques de puissance et des diodes.

38. Procédé selon l'une quelconque des revendications 23 à 32, caractérisé en ce que l'étape de report d'une couche mince monocristalline (23) consiste à reporter une couche mince monocristalline telle que la structure soit étanche au vide.

39. Procédé selon la revendication 38, caractérisé en ce que l'étape de report d'une couche mince monocristalline (23) consiste à reporter une couche mince monocristalline apte à être traversée par un faisceau d'électrons.

40. Procédé selon la revendication 38, caractérisé en ce que l'étape de report d'une couche mince monocristalline consiste à reporter une couche mince monocristalline telle que la structure forme une membrane déformable sous l'effet d'une différence de

pression, l'étape de réalisation d'au moins un composant électronique comprenant la réalisation d'un composant fournissant un signal représentatif de la déformation subie par la membrane.

1 / 4

FIG. 1 A

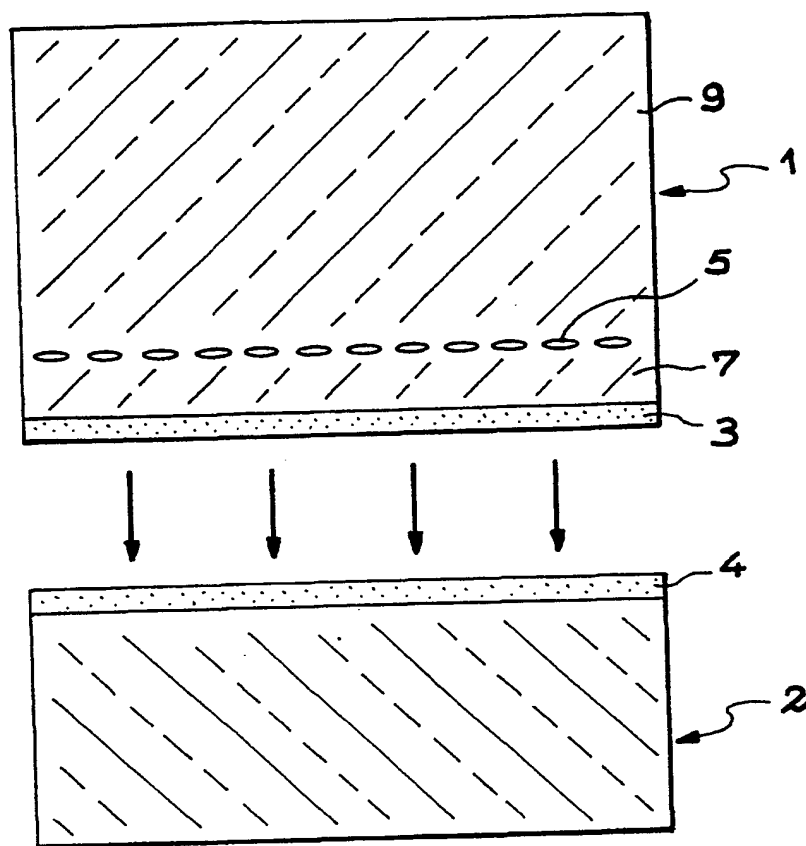
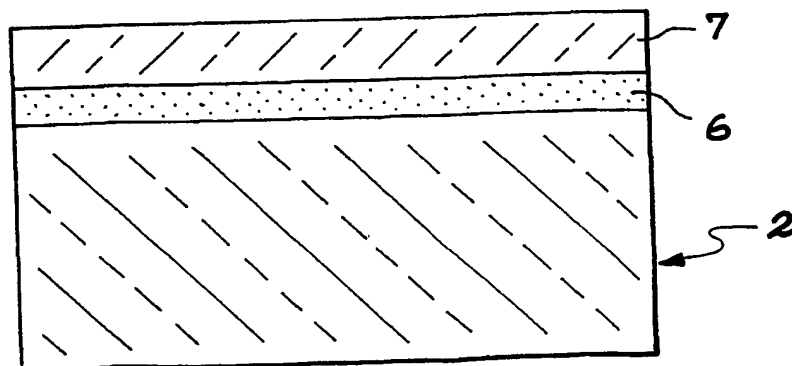


FIG. 1 B



2 / 4

FIG. 1 C

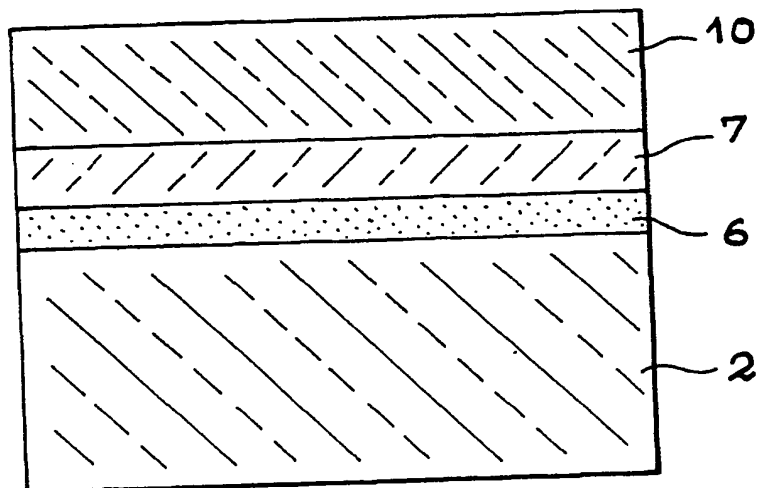
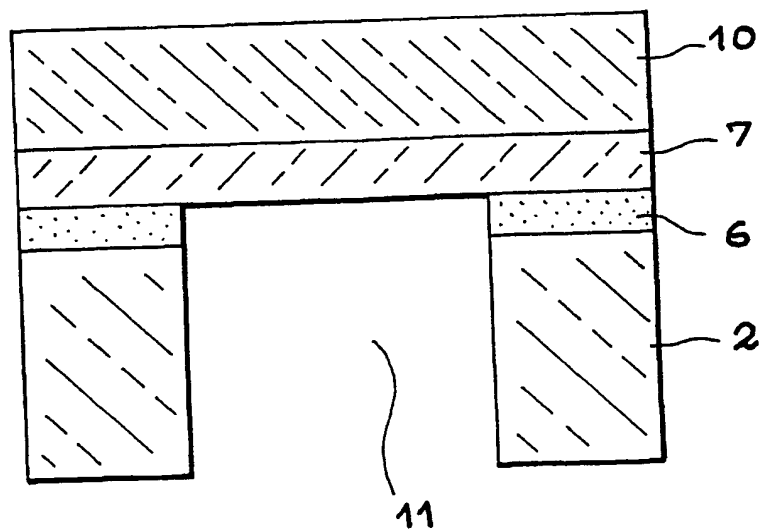


FIG. 1 D



3 / 4

FIG. 1E

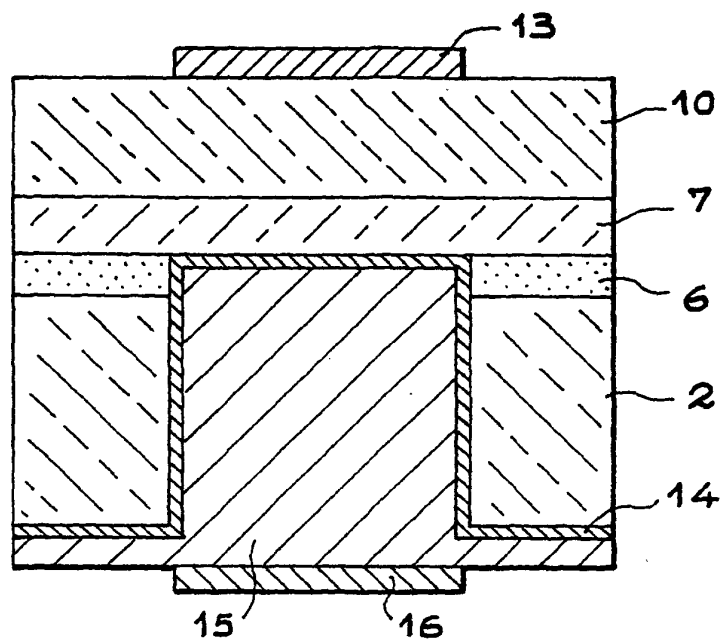


FIG. 2

